

3-03023-7A

Semiconductor integrated circuit having input protection circuit

Patent Number: EP0860941, A3
Publication date: 1998-08-26
Inventor(s): SUGA KOICHIRO (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: JP10242391
Application Number: EP19980103311 19980225
Priority Number(s): JP19970040703 19970225
IPC Classification: H03F1/52
EC Classification: H03F1/52B, H01L27/02B4F2, H01L27/02B4F6
Equivalents: CN1196577, JP2937923B2, US6034854

Abstract

In an input protection circuit for use in a semiconductor integrated circuit, a switch device 4, which becomes a conducting condition in response to an overvoltage applied between opposite ends thereof, is connected between a wiring conductor connecting an external input terminal 7 to an input node of an input first stage inverter 5 and an output node N3 of a logic gate 10 included within an internal circuit 3 provided in the semiconductor integrated circuit. When an overvoltage is applied to the external input terminal 7, the switch device 4 becomes the conducting condition so that the electric charge of the overvoltage applied to the external input terminal 7, is discharged through a MOS transistor QP6 or QN7 constituting the logic gate 10 within the internal circuit 3, to a power supply voltage line 1A or a ground potential line 2A which is laid within the internal circuit 3 for supplying a power supply voltage or a ground potential to the MOS transistor QP6 or QN7. Thus, an effective input protection circuit can be realized with a reduced occupying area on the semiconductor chip, with a reduced increase of the input terminal capacitance and with a reduced restriction to the circuit layout.



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242391

(43) 公開日 平成10年(1998)9月11日

(51) Int.Cl.
 H 01 L 27/04
 21/822
 23/60
 21/8238
 27/092

識別記号

F I
 H 01 L 27/04
 23/56
 27/04
 27/08

H
 B
 E
 3 2 1 H

審査請求 有 請求項の数 9 OL (全 8 頁)

(21) 出願番号 特願平9-40703
 (22) 出願日 平成9年(1997)2月25日

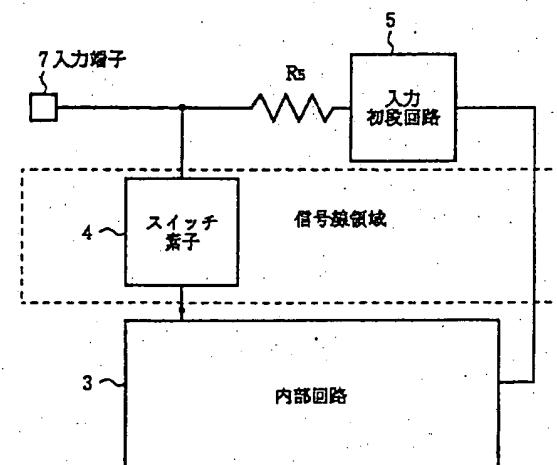
(71) 出願人 000232036
 日本電気アイシーマイコンシステム株式会社
 神奈川県川崎市中原区小杉町1丁目403番53
 (72) 発明者 苗 宏一郎
 神奈川県川崎市中原区小杉町一丁目403番53
 日本電気アイシーマイコンシステム株式会社内
 (74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 チップ上での占有面積が小さく、入力端子容量の増加が小さく、レイアウトに制約の少ない入力保護回路を備える半導体集積回路を提供する。

【解決手段】 入力端子7と入力初段インバータ5の入力点とを接続する配線と内部回路3を構成するいずれかの論理ゲートの出力点との間に、両端に加えられた電圧に応じて開閉するスイッチ素子4を設ける。入力端子7に印加されるサージ電圧がスイッチ素子4の開閉に定められた電圧以上のとき、スイッチ素子4が導通し、入力端子7から内部回路3内の論理ゲートを構成するMOS型電界効果型トランジスタを介して、そのMOS型電界効果型トランジスタに電源電位を供給する電源電圧線または接地電位を供給するグランド線に至る電流経路が形成されるようとする。



1

【特許請求の範囲】

【請求項1】 外部端子に入力された信号を受ける入力初段回路と、入力初段回路の出力信号に基いてこの半導体集積回路が本来目的とする信号処理動作を実行する内部回路とを含み、前記外部端子に前記入力初段回路を破壊するに足る過電圧が印加されたとき外部端子に加わった電荷を電源電位点又は接地電位点に放電させる構成の入力保護回路を備える半導体集積回路において、
前記外部端子に加わった電荷の放電先が、前記内部回路に電源電位又は接地電位を供給するために前記内部回路の領域内に配設された電源電位供給線又は接地電位供給線であるように構成したことを特徴とする半導体集積回路。

【請求項2】 外部端子に入力された信号を受ける入力初段回路と、入力初段回路の出力信号に基いてこの半導体集積回路が本来目的とする信号処理動作を実行する内部回路とを含み、前記外部端子に前記入力初段回路を破壊するに足る過電圧が印加されたとき外部端子に加わった電荷を電源電位点又は接地電位点に放電させる構成の入力保護回路を備える半導体集積回路において、
前記外部端子に加わった電荷が、前記内部回路に含まれるいづれかの論理ゲートを構成するMOS型電界効果型トランジスタを介して、そのMOS型電界効果型トランジスタに電源電位又は接地電位を供給するために前記内部回路の領域内に配設された電源電位供給線又は接地電位供給線に放電されるように構成したことを特徴とする半導体集積回路。

【請求項3】 外部端子に入力された信号を受ける入力初段回路と、入力初段回路の出力信号にもとづいてこの半導体集積回路が本来目的とする信号処理動作を実行する内部回路とを含み、前記外部端子に前記入力初段回路を破壊するに足る過電圧が入力されたとき前記外部端子が電源電位点又は接地電位点に短絡される構成の入力保護回路を備える半導体集積回路において、
前記外部端子と前記入力初段回路の入力点とを接続する配線と前記内部回路に含まれるいづれかの論理ゲートの出力点との間に、両端に加えられた電圧に応じて開閉するスイッチ素子を接続し、

前記外部端子に印加される過電圧が前記スイッチ素子の開閉に定められた電圧以上のとき前記スイッチ素子が導通し、前記外部端子から、前記内部回路に含まれるいづれかの論理ゲートを構成するMOS型電界効果型トランジスタを介して、そのMOS型電界効果型トランジスタに電源電位を供給する電源電位供給線又は接地電位を供給する接地電位供給線に至る電流経路が形成されるよう構成したことを特徴とする半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、

前記外部端子と前記入力初段回路の入力点とを接続する配線の、前記スイッチ素子との接続点から前記入力初段

2

回路の入力点に至る配線に、第1の抵抗成分を付与したことを特徴とする半導体集積回路。

【請求項5】 請求項3又は請求項4記載の半導体集積回路において、

前記スイッチ素子と前記内部回路に含まれるいづれかの論理ゲートの出力点とを接続する配線から、前記論理ゲートの出力信号を入力信号とする他の論理ゲートの入力点に至る配線に、第2の抵抗成分を付与したことを特徴とする半導体集積回路。

【請求項6】 請求項4又は請求項5記載の半導体集積回路において、

前記第1の抵抗成分、前記第2の抵抗成分又は前記第1の抵抗成分及び第2の抵抗成分が、多結晶シリコン膜、金属膜及び不純物を導入した結晶シリコン層のいづれかを用いて形成した抵抗素子によるものであることを特徴とする半導体集積回路。

【請求項7】 請求項4又は請求項5記載の半導体集積回路において、

前記第1の抵抗成分、前記第2の抵抗成分又は前記第1の抵抗成分及び第2の抵抗成分が、多結晶シリコン膜、金属膜及び不純物を導入した結晶シリコン層のいづれかを用いた配線に付随する寄生抵抗によるものであることを特徴とする半導体集積回路。

【請求項8】 請求項3記載の半導体集積回路において、

前記スイッチ素子が、第1導電型の領域中に間隔を保つて形成された二つの第2導電型領域を両端とし、その両端に加えられた電圧に応じて生じるブレークダウン現象によりスイッチ作用を示す、ブレークダウン素子であることを特徴とする半導体集積回路。

【請求項9】 請求項3記載の半導体集積回路において、

前記スイッチ素子が、第1導電型の領域中に間隔を保つて形成された二つの第2導電型領域を両端とし、その両端に加えられた電圧に応じて生じるパンチスルーアクションによりスイッチ作用を示す、パンチスルーアクション素子であることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路に関する、特に、外部端子に印加された例えは静電気による過電圧のようなサーチ電圧を電源電位点あるいは接地電位点に放流させる構成の入力保護回路を備える、半導体集積回路に関する。

【0002】

【従来の技術】 半導体集積回路(LSI)の入力保護に従来用いられているこの種の入力保護回路について、図5、6又は図7を用いて、説明する。図5は、従来の入力保護回路の一例(従来例1)の回路図である。図5を参照すると、電源電圧側に電流を逃がす保護素子とし

3

て、pチャネルMOSトランジスタ（pMOSトランジスタ） Q_{P3} が設けられている。このトランジスタ Q_{P3} は、ゲート電極とソース電極とを接続したダイオード接続で、ソース電極とゲート電極とは電源電圧線1に接続し、ドレイン電極は外部入力端子7に接続している。一方、グランド電位側に電流を逃がす保護素子として、nチャネルMOSトランジスタ（nMOSトランジスタ） Q_{N4} が設けられている。このトランジスタ Q_{N4} は、ゲート電極とソース電極とを接続したダイオード接続で、それらゲート電極およびソース電極がグランド線2に接続し、ドレイン電極は入力端子7に接続している。この例のLSIにおいて入力初段回路5は、pMOSトランジスタ Q_{P1} とnMOSトランジスタ Q_{N2} とからなるCMOSトランジスタ構成のインバータであり、その入力点（共通接続されたゲート電極）と、上記2つの保護素子 Q_{P3} 、 Q_{N4} どうしの接続節点 N_1 とが抵抗 R_5 を介して接続されている。入力初段インバータ5の出力信号は、内部回路3に入力されて、信号処理される。内部回路3は、このLSIが目的とする本来の信号処理を行う。尚、このLSIは、所謂シリコンゲートプロセスによるものであって、各MOSトランジスタ Q_{P1} 、 Q_{N2} 、 Q_{P3} 、 Q_{N4} 及び内部回路内の論理ゲートを構成するトランジスタのゲート電極は、多結晶シリコン（ポリシリコン）で形成されている。又、抵抗 R_5 もポリシリコンを材料とし、通常、MOSトランジスタのゲート電極の形成と同時に形成される。

【0003】次に、図6は、従来の入力保護回路の他の例（従来例2）の回路図を示す図である。図6を参照すると、本従来例は、電源電圧側の保護素子としてnMOSトランジスタ Q_{N5} を用いている点が、従来例1と異なっている。この保護用トランジスタ Q_{N5} は、ソース電極が電源電圧線1に、ドレイン電極が入力端子7に、ゲート電極がグランド線2に、それぞれ接続している。一方、グランド電位側の保護素子として、同じくnMOSトランジスタ Q_{N4} が設けられている。このトランジスタ Q_{N4} は、ゲート電極とソース電極とが接続されたダイオード接続で、それらゲート電極およびソース電極がグランド線2に接続し、ドレイン電極が入力端子7に接続している。この例のLSIにおいても、入力初段回路5は、pMOSトランジスタ Q_{P1} とnMOSトランジスタ Q_{N2} とからなるCMOSトランジスタ構成のインバータであり、その入力点と上記2つの保護素子 Q_{N5} 、 Q_{N4} どうしの接続節点 N_1 とが抵抗 R_5 を介して接続されている。

【0004】上記二つの従来例1、2の入力保護回路は、端子7に例えば静電気などによるサージ電圧が印加されたとき、ポリシリコン抵抗 R_5 がそのサージ電圧の波形を鈍化させる。そしてその作用により、入力初段のインバータ5を構成するpチャネル、nチャネル二つのMOSトランジスタ Q_{P1} 、 Q_{N2} のゲート電極に急峻なサ

4

ージ電圧が直接印加されるのを防ぐ。一方、pMOSトランジスタ Q_{P3} 、nMOSトランジスタ Q_{N5} が、ブレークダウン叉はパンチスルーにより電源電圧線1への電流経路を作り、電流を逃がす。又、nMOSトランジスタ Q_{N4} が、ブレークダウン叉はパンチスルーによりグランド2線へ電流が抜ける経路を作り、電流を逃がす。従来例1、2のLSIでは、上述した二つの作用（サージ電圧波形の鈍化とサージ電流放電経路の形成）により、入力初段のインバータ5におけるMOSトランジスタのゲート酸化膜の破壊を防止している。

【0005】次に、図7(a)に従来の入力保護回路の第3番目の例（従来例3）の回路図を示す。本従来例では、共通放電線を用いた入力保護回路について説明する。図7(a)を参照して、この例のLSIにおいて入力保護回路は、入力端子7からサージ電圧が印加されたとき、入力保護回路21を介してスクリープ線24に至る電流経路が形成される構成となっている。スクリープ線24は、LSIの製造工程で、ウェーハ上のチップどうしを区分する線であって、ウェーハからチップを分割するとき、このスクリープ線にダイサーなどで切れ目を入れたのち、その切れ目に沿って分割する。スクリープ線は、通常、アルミニウムなどで覆われており、シリコン基板に導通している。本従来例の入力保護回路は、二つのn⁺拡散層26、27とp型シリコン基板29によって形成されるラテラル型n-p-nバイポーラトランジスタと、n⁺拡散層26とp型シリコン基板29、p⁺拡散層25により形成されるp-n接合ダイオードとで構成されている。いま、入力端子7からサージ電圧が印加されると、入力保護回路21のラテラル型バイポーラトランジスタと順方向のダイオードとによって、スクリープ線24への電流経路が形成される。

【0006】図7(b)に、本従来例のチップ上のパターンレイアウトを、模式的に示す。図7(b)を参照すると、入力端子7に対し入力保護回路21は、共通放電線であるスクリープ線24の近くに配置されている。これは、入力保護回路21の放電経路に付く抵抗を極力小さくして、電流を逃がしやすくなるためである。

【0007】

【発明が解決しようとする課題】 上述した従来例における第1の問題は、入力端子にサージ電圧が掛かったときに入力端子7から電荷を放流するための電流経路として、電源電圧線1への経路とグランド線2への経路の二つが必要であり、そのために図5、6においてMOSトランジスタ Q_{P3} 、 Q_{N4} 、 Q_{N5} で示されるようなブレークダウン叉はパンチスルーを起こす素子が、少なくとも2個以上必要なことである。その結果、入力保護回路が大きくなり、延いてはチップ面積が増加してしまう。

【0008】第2の問題は、上述したように入力保護回路の面積が大きくなるのに伴って、入力保護素子の拡散層容量、ゲート容量が増え、入力端子容量も大きくなつ

てしまうことである。

【0009】第3の問題は、入力保護回路の放電経路に付く抵抗を極力小さくして電流を逃がしやすくするために、回路のレイアウトに対し、入力保護回路を電源電圧線やグランド線の近くに配置しなければならないという制約が加わることである。

【0010】

【課題を解決するための手段】本発明の半導体集積回路は、外部端子に入力された信号を受ける入力初段回路と、入力初段回路の出力信号に基いてこの半導体集積回路が本来目的とする信号処理動作を実行する内部回路とを含み、前記外部端子に前記入力初段回路を破壊するに足る過電圧が印加されたとき外部端子に加わった電荷を電源電位点又は接地電位点に放電させる構成の入力保護回路を備える半導体集積回路において、前記外部端子に加わった電荷の放電先が、前記内部回路に電源電位又は接地電位を供給するために前記内部回路の領域内に配設された電源電位供給線又は接地電位供給線であるように構成したことを特徴とする。

【0011】本発明の半導体集積回路は、入力端子にサージ電圧が印加されたときそのサージ電圧によってブレーカダウン又はパンチスルーレを起こして入力端子と内部回路中の論理ゲートの出力点とを短絡するスイッチ素子を、一つだけ備えている。サージ電圧によって入力端子に加えられた電荷は、サージ電圧が正電圧であるか負電圧であるかに応じて、内部回路を構成するpMOSトランジスタ又はnMOSトランジスタを通して、内部回路中の電源電圧線またはグランド線を放電先として放流される。つまり、サージ電圧による電荷は、放電先を自動的に振り分けられる。従って、入力初段回路の保護のために必要な素子は、上記のスイッチ素子ただ一つだけでも良い。しかも、放電先の電源電圧線またはグランド線として内部回路の領域に配設された配線を用いるので、当然、内部回路を構成する論理ゲートのMOSトランジスタの直近に配設されている。すなわち、極論すれば、入力保護回路のレイアウトに格別の配慮を払う必要は、無い。

【0012】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。図1は、本発明による入力保護回路を有するLSIの、基本的な構成を模式的に示すブロック図である。図1を参照して、この図に示すLSIは、入力端子7から入力初段回路5に至る信号配線の他に、その信号配線の途中から分岐しスイッチ素子4を介して内部回路3に至る電流経路を備えている。スイッチ素子4は、入力端子7にサージ電圧が印加されその波高値が一定電圧以上のとき導通状態になり、内部回路4へ電流経路を形成する。その結果、入力端子7に加わったサージ電圧による電荷は、内部回路領域内の電源電圧線あるいはグランド線へと放流され、入力初段回路

のMOSトランジスタのゲート酸化膜の破壊は防止される。このような構成によれば、サージ電圧による電荷の放流先としての内部回路内の電源電圧線あるいはグランド線は、本来の信号処理のためにもともと設けられているものであって、入力保護のために特に新たに引き出したものないので、寄生抵抗や浮遊容量の新たな増加はない。以下に、二つの実施例にもとづいて、具体的に説明する。

【0013】(実施例1) 図2(a)は、本発明の第1の実施例(実施例1)の、トランジスタレベルの回路図である。図2(a)を参照すると、この実施例のLSIは、入力初段のインバータ5と、その出力信号を入力とする内部回路3に加えて、抵抗R₅とスイッチ素子4を備えている。

【0014】入力初段のインバータ5は、pMOSトランジスタQ_{P1}とnMOSトランジスタQ_{N1}とを直列接続すると共にゲート電極どうしを共通接続した構成の、CMOSトランジスタ構成のインバータである。そのインバータ5の入力点(二つのMOSトランジスタの共通ゲート電極)と入力端子7との間には、抵抗R₅が接続されている。

【0015】抵抗R₅は、ポリシリコン層からなり、初段インバータ5及び内部回路3を構成するMOSトランジスタのゲート電極形成の際に、同時に形成される。

【0016】内部回路3は、通常、非常に多数の論理ゲートを含んでいるが、図2には、それら論理ゲートの一例としてのCMOSインバータを三つ(インバータ10, 11, 12)縦列に接続した部分を示す。外部から入力端子7→抵抗R₅を介して初段インバータ5に入力された信号は、そのインバータ5で反転されて、内部回路に入力される。その後、内部回路3に含まれる種々の論理ゲートで信号処理され、インバータ10, 11を経由して、他の論理ゲートに伝播していく。

【0017】入力端子7から抵抗R₅迄の配線の途中の点N₂と、上記内部回路内のインバータ10の出力点(pMOSトランジスタQ_{P6}とnMOSトランジスタQ_{N7}の直列接続節点N₃)との間には、スイッチ素子4が接続されている。

【0018】スイッチ素子4は、その断面構造を図2(b)に模式的に示すように、p型シリコン領域6内に近接して配置された二つのn⁺型シリコン層8A, 8Bで構成される。そして、例えばn⁺シリコン層8Aが入力端子側の節点N₂に接続し、n⁺シリコン層8Bが内部回路内の節点N₃に接続している。このスイッチ素子4は、その両端8A, 8B間に電圧が加わると、逆方向バイアスとなる側のpn接合ではn⁺シリコン層からp型シリコン領域6に空乏層が伸び、両端電圧が高いと、両n⁺シリコン層8A, 8B間がパンチスルーやブレークダウンによって、短絡状態になる。パンチスルー

が生じるか或いはブレーキダウンが起こるかは、主に、
n⁺シリコン層8A、8Bの不純物濃度、p型シリコン
領域6の不純物濃度および二つのn⁺シリコン層8A、
8B間の距離などによって決まる。

【0019】図2(a)において、いま、入力端子7に
サージ電圧が加わったとする。すると、スイッチ素子4
が短絡状態となり、入力端子7から内部回路内のインバ
ータ10の出力点N₃に至る電流経路ができる。そし
て、サージ電圧が例えば電源電圧以上の正電圧であると
きは、入力端子7の正電荷は、インバータ10のpMOS
トランジスタQ_{P6}を通して、そのトランジスタQ_{P6}に
電源電圧を供給するために内部回路内に布設された電源
電圧線1Aに放電される。一方、サージ電圧がグランド
電位以下の負電圧であるときは、入力端子7の負電荷
は、インバータ10のnMOSトランジスタQ_{N7}を通し
て、そのトランジスタQ_{N7}にグランド電位を供給するた
めに内部回路内に布設されたグランド線2Aに放電され
る。つまり、スイッチ素子4を一つ設けるだけで、放電
経路は、サージ電圧の極性に応じて自動的に決まる。し
かも、放電先の電源電圧線1A或いはグランド線2A
は、本来の信号処理のために内部回路内にもともと配設
したものであるので、入力保護のための新たな占有面積
の増加は、従来に比べ、少なくて済む。

【0020】又、本実施例において入力端子7にサージ
電圧が加わったときの放電経路を決めているのは、内部
回路内のインバータ10を構成する二つのMOSトラン
ジスタQ_{P6}、Q_{N7}である。これら二つのMOSトランジ
スタは通常、スイッチ素子4により、入力端子7から入
力初段のインバータ5迄の配線からは切り離されてい
る。従って、入力端子7に付随する容量（入力端子容
量）の大きさは、上記二つのMOSトランジスタQ_{P6}、
Q_{N7}によっては、左右されない。入力端子容量は、（ス
イッチ素子4の節点N₂側の接合容量）+（スイッチ素
子4から内部回路内のインバータ10の出力点までの配
線容量）+（入力初段インバータ5のゲート容量）の総
計となるのであるが、上述したとおり、通常、内部回路
内のインバータ10は入力端子7から切り離されている
からである。

【0021】尚、本実施例において、入力端子7と初段
インバータ5の入力点との間に挿入された抵抗R₅は、
従来の入力保護回路におけると同じく、サージ電圧の急
峻な波形を鈍らせて保護効果を更に高める作用をする。
同様に、内部回路内のインバータ10の出力点（スイッ
チ素子4の接続節点N₃）と次段のインバータ11の入
力点との間に接続された抵抗R₁₁は、サージ電圧により
スイッチ素子4が短絡状態になったとき、節点N₃に放
流されてきたサージ電圧の波形を鈍らせ、インバータ1
1が破壊されるのを防ぐ作用をする。

【0022】(実施例2) 次に、本発明の第2の実施例
(実施例2)について説明する。図3(a)は、本発明

の実施例2の回路図である。図3(a)を参照して、本
実施例が実施例1と異なるのは、スイッチ素子4から内
部回路の電源電圧線1Aおよびグランド線2Aに至る放
電経路が、途中で二つに分岐している点である。すなわ
ち、スイッチ素子4の内部回路側の一端は、インバータ
10の出力点（接続節点N₃）に接続されているだけで
なく、そのインバータ10の前段のインバータ12の出
力点（接続節点N₄）にも接続されている。従って、入
力端子7にサージ電圧が加わると、そのサージ電圧によ
る電荷は、入力端子7からスイッチ素子4を通りpMOS
トランジスタQ_{P6}（又は、nMOSトランジスタ
Q_{N7}）を抜けて、内部回路内の電源電圧線1A（同、グ
ランド線2A）に放電される電荷と、pMOSトランジ
スタQ_{P8}（同、nMOSトランジスタQ_{N9}）を抜けて、
内部回路内の電源電圧線1A（同、グランド線2A）に
放電される電荷との二つに分かれる。

【0023】本実施例によれば、スイッチ素子4から後
の放電経路を複数にし、内部回路内の複数のトランジ
スタを使用することで、トランジスタサイズの増大なしに
入力保護効果を大きくし、静電耐圧を向上させることが
できる。その際、入力端子容量の増加は、ない。上述
したように、入力端子容量は、内部回路内にあってサージ
電圧の放電経路として利用されるトランジスタのサイズ
や数に依存しないからである。

【0024】ここで、本実施例に用いたスイッチ素子4
について、説明する。本実施例においてスイッチ素子4
は、断面構造は実施例1に用いたものと同一で良いが、
平面パターンを変更する必要がある。本実施例に用いた
スイッチ素子4の一例の平面図を、図3(b)に示す。
図3(b)を参照して、p型シリコン領域中に、三つの
n⁺シリコン層8A、8B、8Cが形成されている。
これら三つのうちシリコン層8Aは長い。他の二つのシリ
コン層8B、8Cは短く、共にシリコン層8Aに対向
する位置に配置されている。スイッチ素子4をこのよう
な構造にすることにより、通常動作時には、内部回路内
のインバータ10における入・出力を分離し、サージ電
圧印加時には、複数の放電経路を形成できる。

【0025】次に、本実施例の変形例について、説明す
る。この変形例は、図3(a)に示す回路図中のサージ
電圧波形鈍化用の抵抗R₅、R₁₀、R₁₁を、これまで
「素子」として或る領域を確保して形成していたのに對
し、配線に付随する寄生抵抗で代用する例を示すもの
である。図4に、図3(a)に示す回路図中のインバータ
5、10又は11の、入力部分のマスクパターンを示
す。図4を参照して、図中、アルミニウム配線には右上
がり斜線を施し、ポリシリコン配線には右下がりの斜線
を施して示す。図において、紙面上側に、p⁺シリコン
領域13D、13Sが対向して形成されており、中央を
ポリシリコン配線9が紙面上下に走っている。これらp
⁺領域とポリシリコン配線とで、pMOSトランジスタ

を構成している。p⁺シリコン領域13D, 13Sがそれぞれ、ドレイン領域、ソース領域である。ポリシリコン配線9が、ゲート電極である。一方、紙面下側に、n⁺シリコン領域14D, 14Sが対向して形成されており、中央を、pMOSトランジスタのゲート電極と共に通のポリシリコン配線9が、紙面上下に走っている。これらn⁺領域とポリシリコン配線とで、nMOSトランジスタを構成している。n⁺シリコン領域14D, 13Sがそれぞれ、ドレイン領域およびソース領域である。ポリシリコン配線9が、ゲート電極である。

【0026】pMOSトランジスタにおいては、ソース領域13Sにアルミニウム配線17が布設され、ソース領域13Sとアルミニウム配線17とは、コンタクト孔19を介して接続されている。アルミニウム配線17は、内部回路内に布設された電源電圧線（図示せず）に接続している。一方、このpMOSトランジスタのドレイン領域13Dには、アルミニウム配線16が布設されており、ドレイン領域13Dとアルミニウム配線16とは、コンタクト孔19を介して接続されている。アルミニウム配線16は、紙面右側に配置された次段の論理ゲート（図示せず）の入力点に接続している。一方、nMOSトランジスタにおいては、ソース領域14Sにアルミニウム配線18が布設され、ソース領域14Sとアルミニウム配線18とは、コンタクト孔19を介して接続されている。アルミニウム配線18は、内部回路内に布設されたグランド線（図示せず）に接続している。一方、このnMOSトランジスタのドレイン領域14Dには、pMOSトランジスタと共に通のアルミニウム配線16が布設されており、ドレイン領域14Dとアルミニウム配線16とは、コンタクト孔19を介して接続されている。

【0027】pMOSトランジスタとnMOSトランジスタに共通なポリシリコン配線（ゲート電極）9には、紙面左側に配置された前段のインバータ（又は、入力端子。いずれも、図示せず）からアルミニウム配線20が布設されており、ゲート電極としてのポリシリコン配線9とアルミニウム配線20とは、コンタクト孔15を介して接続している。

【0028】この図に示すインバータは、入力点に付加される抵抗が、アルミニウム入力配線20に接続しているポリシリコンゲート電極9によって作られている例を示している。ポリシリコンゲート電極配線9の単位面積（1 μm²）あたりの抵抗値（約14Ω）は、アルミニウム配線20の単位あたりの抵抗値（約0.1Ω）に対して充分大きいので、ポリシリコンゲート電極配線9の抵抗が支配項となっている。

【0029】尚、これまで述べた実施例1, 2は、抵抗R₅, R₁₀, R₁₁として、ポリシリコン層を用いた例であるが、本発明はこれに限られるものではない。半導体集積回路には、他の材料、例えば金属薄膜や熱拡散法あ

るいはイオン注入法により不純物を導入した結晶シリコン層が抵抗材料として用いられている。本発明においてもこのような材料による抵抗体を用いることができる。

【0030】

【発明の効果】本発明の第1の効果は、端子にサージ電圧が加わったときの入力保護に要する面積を縮小することができる。電源電圧線あるいはグランド線へ電荷を放電するために、従来、サージ電圧が加わった時に導通する素子が少なくとも二個は必要であったのに對し、本発明では内部回路内の論理ゲートを構成するトランジスタを利用し、しかも、電荷の放電先として、LSI本来の信号処理のためにもともと内部回路内に布設されている電源電圧線およびグランド線へを用いているからである。本発明によれば、入力保護のために新たに必要な素子は、サージ電圧によってブレークダウン叉はパンチスルーディオノミックスイッチ素子だけである。

【0031】本発明の第2の効果は、入力端子容量を増加させることなしに入力保護能力を上げることができることである。本発明において実際の入力保護能力を決めるのは、内部回路内の論理ゲートを構成するトランジスタである。その内部回路内のトランジスタは、通常動作においては、スイッチ素子により入力端子からは切り離されている。従って、サージ電圧印加時の放電経路となる内部回路内のトランジスタのサイズあるいは数を増加させても、入力端子容量の増加は、無い。

【0032】本発明の第3の効果は、回路のレイアウトにおける自由度を従来より高めることである。本発明においてサージ電圧による電荷の放電経路は、内部回路内の論理ゲートを構成するMOSトランジスタにより形成される。又、放電先は、もともと内部回路内に布設された電源電圧線またはグランド線である。内部回路内のトランジスタと電源電圧線、グランド線とは、当然、密接して配置されている。従って、共通放電線を用いた従来例とは違って、入力保護回路の素子をスクライプ線などの共通放電線の近くに置く必要はなく、レイアウトに対する制約は何ら、ない。

【図面の簡単な説明】

【図1】本発明による半導体集積回路の基本的な構成を示すブロック図である。

【図2】本発明の実施例1による半導体集積回路の回路図及び、これに用いたスイッチ素子の断面を模式的に示す図である。

【図3】本発明の実施例2による半導体集積回路の回路図及び、これに用いたスイッチ素子の模式的平面図である。

【図4】本発明の実施例2による半導体集積回路の変形例に用いたインバータのパターンを示す図である。

【図5】従来例1による入力保護回路を備える半導体集積回路の回路図である。

【図6】従来例2による入力保護回路を備える半導体集

積回路の回路図である。

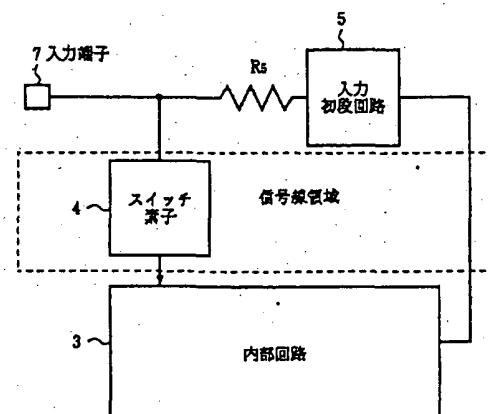
【図7】従来例3による入力保護回路を備える半導体集積回路のブロック図及び、各ブロックの配置を示すレイアウト図である。

【符号の説明】

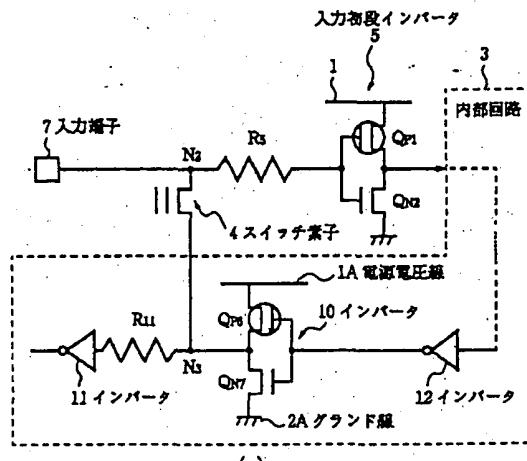
- 1 A 電源電圧線
 - 2, 2 A グランド線
 - 3 内部回路
 - 4 スイッチ素子
 - 5 入力初段回路

- 6 p型シリコン領域
 7 入力端子
 8 A, 8 B n⁺シリコン領域
 9 ポリシリコン配線
 10, 11, 12 インバータ
 13 D, 13 S p⁺シリコン領域
 14 D, 14 S n⁺シリコン領域
 15, 19 コンタクト孔
 16, 17, 18, 20 アルミニウム配線

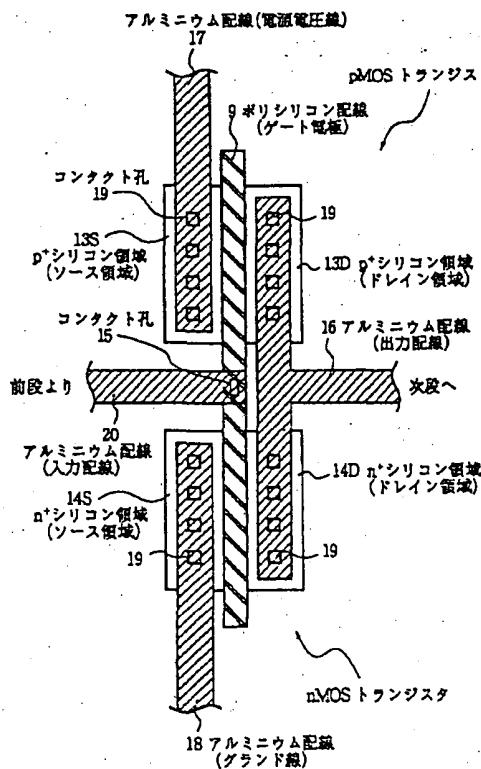
[図 1]



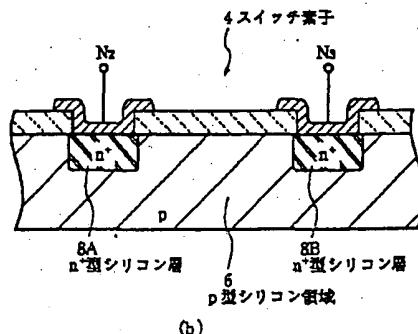
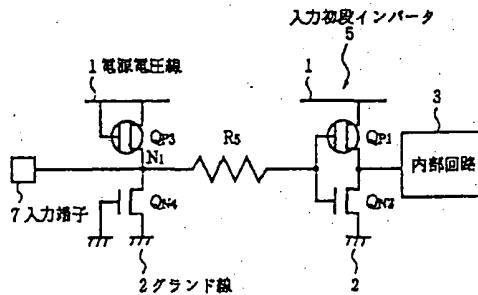
[图2]



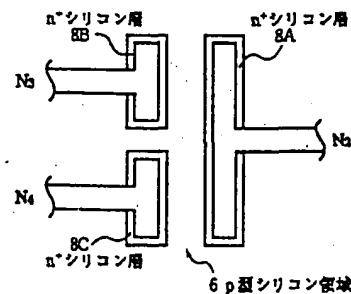
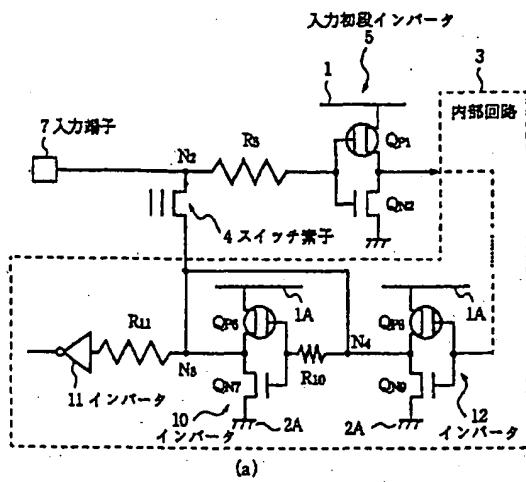
【图4】



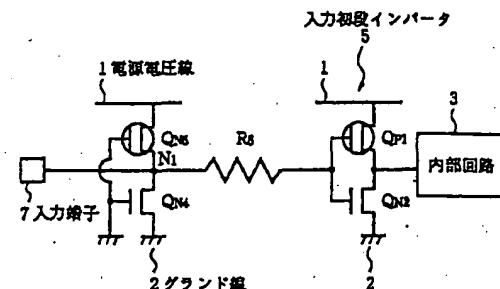
〔図5〕



【図3】



【図6】



【図7】

